

INSTYTUT ŁĄCZNOŚCI
WARSAWA-MIEDZESZYN

BIULETYN

INFORMACYJNY

1 (167)

1978

MINISTERSTWO ŁĄCZNOŚCI

BIULETYN INFORMACYJNY

ROK 18

WARSZAWA 1978

NR 1/167/

INSTYTUT ŁĄCZNOŚCI

Branżowy Ośrodek
Informacji Naukowo-Technicznej i Ekonomicznej

Redakcja Biuletynu Informacyjnego

Redaktor Naczelny - prof. mgr inż. Lesław Kędzierski
Z-ca Redaktora Naczelnego - doc. dr inż. Krystyn Plewko

Redaktorzy działów:

mgr inż. Władysław Cetner, doc. mgr inż. Adam Moniuszko

Adres Redakcji:
Instytut Łączności
Branżowy Ośrodek
Informacji Naukowo-Technicznej i Ekonomicznej
Warszawa-Miedzeszyn, ul. Szachowa 1

NA PRAWACH REKOPISU - DO UŻYTKU SŁUŻBOWEGO

Redaktor: J. Borkowska

Montaż tekstu: B. Drabik

Dział Wydawniczy Instytutu Łączności
Format B5. Nakład 570. Wpłynęło do
Działu Wydawniczego 29.11.1977 r.
Druk ukończono w styczniu 1978 r.

Mirosław Żurawski, Edward Juskiewicz

ASYNCHRONICZNA KROTNICA CYFROWA

2 - 8 Mbit/s

SPIS TREŚCI

	Str.
1. Wstęp	1
2. Struktura systemu cyfrowego 8 Mbit/s	2
3. Metoda asynchronicznego zwielokrotnienia cyfrowego z dopełnianiem dodatnim	3
3.1. Zwielokrotnienie cyfrowe	3
3.2. Dodatnie dopełnianie impulsowe	4
3.3. Fluktuacje fazy	5
3.4. Kontrola i nadzór krotnicy cyfrowej 2-8 Mbit/s	6
4. Opis funkcjonalny krotnicy cyfrowej 2-8 Mbit/s	7
4.1. Podstawowe parametry krotnicy 2-8 Mbit/s	8
4.1.1. Sygnały zwielokrotnianych grup pierwotnych	8
4.1.2. Sygnał grupy wtórnej	8
4.1.3. Struktura ramki grupy wtórnej	8
4.1.4. Charakterystyka dopełniania	8
4.1.5. Kontrola dopełniania	8
4.1.6. Fazowanie ramki	9
4.1.7. Punkt styku o przepływności 2,048 Mbit/s	9
4.1.8. Punkt styku o przepływności 8,448 Mbit/s	10
4.1.9. Alarmy	10
4.1.10. Emisja sygnału SIA	10
4.1.11. Temperatura	10
4.1.12. Zasilanie	11
4.2. Budowa krotnicy 2-8 Mbit/s	11
4.2.1. Opis ogólny pracy krotnicy	11
4.2.2. Zespół 2 Mbit/s	12
4.2.3. Nadajnik 8 Mbit/s	18
4.2.4. Transkoder HDB-3 8 Mbit/s	20
4.2.5. Odbiornik 8 Mbit/s	20
4.2.6. Urządzenia kontroli i alarmów	20
5. Zakończenie	22
6. Wykaz literatury	23

THE UNIVERSITY OF CHICAGO

PHYSICS DEPARTMENT

1950

1950

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

PHYSICS DEPARTMENT

Mirosław Żurawski
Edward Juszkiewicz

621.395.463:621.376.5

ASYNCHRONICZNA KROTNICA CYFROWA

2 - 8 Mbit/s

1. WSTĘP

W systemach cyfrowych wyższej krotności mogą być stosowane dwie podstawowe metody tworzenia sygnału liniowego:

- bezpośrednio kodowanie sygnałów analogowych, przy czym mogą to być sygnały szerokopasmowe bądź sygnały rozmowne pochodzące z odpowiednio większej liczby kanałów telefonicznych;
- zwielokrotnienie cyfrowe, polegające na utworzeniu zbiorczego sygnału cyfrowego grupy wyższego rzędu poprzez zwielokrotnienie sygnałów cyfrowych pochodzących z kilku grup niższego rzędu.

Urządzenia pierwszego typu, stosujące bezpośrednio kodowanie sygnału telefonicznego, zawierają wprawdzie jeden przemiennik analogowo-cyfrowy, jednakże z uwagi na większą liczbę kanałów wymagania odnośnie dokładności i szybkości jego pracy są bardzo wysokie. Trudności techniczne związane z realizacją tego typu urządzeń jak również mała elastyczność systemów wykorzystujących kodowanie bezpośrednio decydują o tym, iż praktycznie pod uwagę bierze się tylko systemy 2 rzędu. Oczywiście w przypadku sygnałów szerokopasmowych /wizjofonia, telewizja, grupy FDM/ stosowanie przemienników analogowo-cyfrowych o dużej szybkości pracy jest konieczne.

Urządzenia drugiego typu, wykorzystujące zwielokrotnienie cyfrowe, wymagają wprawdzie stosowania większej liczby przemienników analogowo-cyfrowych i cyfrowo-analogowych, jednakże sieć zbudowana na bazie zwielokrotnienia cyfrowego jest bardzo elastyczna, pozwala bowiem na umieszczenie wszystkich przemienników analogowo-cyfrowych i cyfrowo-analogowych w pobliżu źródeł informacji i przesyłanie przez linie wyłącznie sygnałów cyfrowych.

Jednym z podstawowych warunków, jaki powinien spełniać system cyfrowy wyższego rzędu jest warunek na zgodność liniową. Warunek ten oznacza, że niezależnie od tego, w jaki sposób utworzona została grupa wyższego rzędu, przepływność binarna sygnału liniowego powinna być jednakowa. Spełnienie tego warunku umożliwia wykorzystanie traktu liniowego do współpracy z urządzeniami końcowo-

mi. różnego typu. Przepływność binarna sygnału liniowego jest więc podstawowym parametrem teletransmisyjnych systemów cyfrowych i jako taki stanowi podstawowe kryterium ich klasyfikacji. Przepływność binarna sygnału liniowego związana jest z krotnością systemu, jednakże należy zwrócić uwagę, iż operowanie krotnością systemu może prowadzić do pewnych nieporozumień, ponieważ przy tej samej przepływności krotność systemu może być różna.

W krajach europejskich jako przepływność binarna sygnału liniowego dla systemu cyfrowego 2 rzędu przyjęto przepływność 8,448 Mbit/s /CCITT, G.742/. System o takiej przepływności nazywany będzie dla uproszczenia systemem cyfrowym 8 Mbit/s.

2. STRUKTURA SYSTEMU CYFROWEGO 8 Mbit/s

W zależności od pełniionych funkcji i zajmowanego miejsca w zestroju, urządzenia systemu cyfrowego 8 Mbit/s można podzielić na:

- urządzenia końcowe
- urządzenia traktu liniowego.

Rodzaje urządzeń wchodzących w skład systemu cyfrowego 8 Mbit/s przedstawione są na rys. 1^{1/}. W skład urządzeń końcowych wchodzi:

a/ urządzenia końcowe 2 rzędu:

- krotnica cyfrowa 2-8 Mbit/s^{2/} /pracująca w sposób synchroniczny lub asynchroniczny/
- krotnica TCK-130/132
- kodek /koder + dekoder/ sygnału wizjofonii czarno-białej o wyjściowej przepływności binarnej 8448 kbit/s
- multiplexer transmisji danych o wyjściowej przepływności binarnej 8448 kbit/s.

b/ urządzenia końcowe 1 rzędu, współpracujące z krotnicą cyfrową 2-8 Mbit/s /bezpośrednio lub przez trakt liniowy 2 Mbit/s:

- krotnica TCK-30
- kodek 12-kanałowej grupy FDM /PCM-FDM12/
- transkrotnica TN60/2xTCK30/ wykorzystująca 2 wejścia krotnicy cyfrowej/
- multiplexer transmisji danych o wyjściowej przepływności binarnej 2048 kbit/s.

^{1/} Rysunki są zamieszczone na końcu artykułu.

^{2/} Stosowana jest również nazwa: TCC-120.

Trakt liniowy systemu 8 Mbit/s może być realizowany jako trakt kablowy bądź jako trakt radioliniowy. W skład kablowego traktu liniowego wchodzi:

- urządzenia końcowe traktu liniowego /UKTL-8/
- nieobsługiwane stacje regeneracyjne /NSR/.

W skład traktu radioliniowego wchodzi urządzenia nadawczo-odbiorcze wraz z zespołem antenowym, które służą jako urządzenia końcowe traktu radioliniowego i jako stacje przekaźnikowe.

Za pomocą powyższych urządzeń możliwe jest w zależności od potrzeb tworzenie różnych struktur systemu 8 Mbit/s, dzięki czemu system charakteryzuje się dużą elastycznością. Podstawowy wariant systemu 8 Mbit/s składa się z:

- 8 krotnic PCM 30
- 2 krotnic cyfrowych 4×2048 kbit/s
- urządzeń traktu liniowego 8 Mbit/s.

System 8 Mbit/s zrealizowany wg powyższej struktury przeznaczony jest do transmisji sygnałów telefonicznych w sieci wewnątrzstrefowej, wewnątrzwojewódzkiej oraz międzymiastowej. Nie wyklucza to oczywiście możliwości zastosowania systemu dla innych służb, np. transmisji danych bądź też w sposób mieszany dla kilku służb równocześnie.

3. METODA ASYNCHRONICZNEGO ZWIELOKROTNIECIA CYFROWEGO Z DOPEŁNIANIEM DODATNIM

3.1. Zwielokrotnienie cyfrowe

Krotnice cyfrowe różnią się tym od krotnic PCM, że nie zawierają przemiennika analogowo-cyfrowego. Sygnały wejściowe są już w postaci cyfrowej, a zadaniem urządzenia zwielokrotniącego jest połączenie tych sygnałów w jeden sygnał cyfrowy o odpowiednio większej przepływności binarnej. Zwielokrotnienie cyfrowe ściśle synchronicznych sygnałów jest zupełnie proste, w każdym razie pod względem zasady działania. Próbkę pobierane z "n" sygnałów wejściowych układane są szeregowo, tworząc sygnał o przepływności "n" razy większej (p.rys. 2/).

W rzeczywistości realizacja zwielokrotnienia synchronicznego jest nieco bardziej skomplikowana ze względu na konieczność wprowadzenia do wyjściowego ciągu cyfrowego dodatkowych bitów przeznaczonych dla celów fazowania ramki, służbowych itp. Metoda synchronicznego zwielokrotnienia cyfrowego ma pewne wady, co prowadzi do ograniczonego jej zastosowania. Bardziej ogólnym rozwiązaniem problemu zwielokrotnienia cyfrowego jest metoda asynchronicznego zwielokrotnienia wykorzystująca tzw. dopełnianie impulsowe.

3.2. Dodatkowo dopełnianie impulsowe

Dopełnianiem impulsowym nazywa się metoda wyrównywania zmiennej przepływności zwielokrotnianego sygnału cyfrowego do pewnej przepływności odniesienia, którą w tym przypadku jest przepływność grupy wyższego rzędu w przeliczaniu na 1 grupę niższego rzędu. Wyrównywanie to odbywa się na drodze wprowadzania do sygnału cyfrowego dodatkowych bitów, tzw. bitów dopełniających, lub też wymazania bitów informacyjnych, przy czym wartość bitów wymazanych przesyłana jest do odbiornika w dodatkowym kanale służbowym. Ażeby w odbiorniku można było przywrócić pierwotną postać sygnału cyfrowego o każdej operacji przeprowadzonej w nadajniku, przesyła się informację do odbiornika, w którym przeprowadza się operacje odwrotne.

Przy dopełnianiu dodatnim zakłada się, iż maksymalne przepływności wszystkich sygnałów wejściowych podlegających zwielokrotnieniu są mniejsze od przepływności, jaka jest przewidziana do transmisji tych sygnałów w sygnale zbiorczym. Sygnały wejściowe przechodzą przez układy synchronizujące, które określają, o ile trzeba zwiększyć ich przepływność, ażeby stały się one synchroniczne z sygnałem grupy wyższego rzędu /p. rys. 3/. Elastyczna pamięć wejściowa, znajdująca się w każdym układzie synchronizującym, pozwala na dopełnienie sygnału wejściowego o pewną liczbę bitów.

Położenie bitów dopełniających przekazywane jest do stacji odbiorczej, w której bity te zostaną pominięte, jako nie niosące informacji.

Sposób realizacji dodatniego dopełniania impulsowego przedstawiony jest na rys. 4. W części nadawczej informacja wejściowa wpisywana jest do pamięci w takt zegara o częstotliwości f_1 , odpowiadającej przepływności sygnału wejściowego. Odczyt z pamięci dokonywany jest z częstotliwością f_2 , synchroniczną z zegarem krotnicy cyfrowej. Ponieważ częstotliwość f_2 jest większa od f_1 , układ odczytu ma tendencję do całkowitego opróżniania pamięci. Specjalny układ kontrolny porównuje fazy zegarów wpisującego i odczytującego, a tym samym stan zajętości pamięci. Kiedy wypełnienie pamięci zmniejsza się poniżej dopuszczalnej granicy, układ kontrolny powstrzymuje jeden impuls zegara czytającego, dzięki czemu pamięć powraca do stanu zajętości powyżej wartości granicznej, natomiast w ciągu wyjściowym z pamięci jeden bit zostanie powtórzony, czyli zostanie dodany bit, którego nie było w sygnale wejściowym /bit dopełniający/.

W ramce grupy wyższego rzędu określone jest miejsce, w którym może znajdować się bit dopełniający, dlatego do odbiornika wystarczy przesłać informację, że nastąpiło dopełnienie. Po stronie odbiorczej bit dopełniający usuwany jest z ciągu cyfrowego, przez powstrzymanie zapisu do pamięci odbiorczej na czas trwania tego bitu.

W ten sposób otrzymuje się sygnał o takiej przepływności binarnej, jaką miał sygnał wejściowy, jednakże z nieciągłościami fazy o amplitudzie 1 bitu. Filtra-

cja fluktuacji fazowych uzyskiwana jest za pomocą pętli ustalania fazy, zawierającej układ porównania fazy, filtr dolnoprzepustowy oraz generator sterowany napięciowo /VCO/.

Układ porównania fazy porównuje fazę zegara wpisującego z fazą sygnału otrzymanego z VCO /zegara odczytu/, dostarczając napięcia proporcjonalnego do różnicy fazy między nimi. Napięcie to, odpowiednio odfiltrowane, steruje generator VCO, którego częstotliwość podąża za zmianami częstotliwości sygnału wejściowego w krotnicy nadawczej.

3.3. Fluktuacje fazy

Nieodłącznym zjawiskiem, jakie towarzyszy procesowi asynchronicznego zwielokrotnienia cyfrowego jest występowanie fluktuacji fazy sygnału. W przypadku multipleksera, mogą występować fluktuacje fazy sygnału już na wejściu 2 Mbit/s. Ma to miejsce wówczas, gdy krotnica cyfrowa współpracuje z traktem liniowym 2 Mbit/s. Amplituda fluktuacji fazy zależy w takim przypadku od rodzaju kabla, liczby regeneratorów oraz struktury sygnału.

Dla zapewnienia poprawnej pracy multipleksera, fluktuacje fazy sygnału wejściowego muszą być wytłumione przed właściwą operacją zwielokrotnienia cyfrowego. Realizowane jest to za pomocą pamięci wejściowej, której pojemność musi uwzględniać również fluktuacje fazy sygnału wejściowego. Od strony wyjścia 8 Mbit/s multipleksler praktycznie nie wprowadza fluktuacji fazowych.

W przypadku demultipleksera sygnał wejściowy 8 Mbit/s, który po przejściu przez trakt liniowy może mieć znaczne fluktuacje fazy, poddawany jest transformacji szeregowo-równoległej, w czasie której następuje rozdział sygnału zbiorczego na 4 sygnały kanałowe. Po usunięciu bitów nadmiarowych ramki 8 Mbit/s, tzn. bitów sygnału fazowania ramki, bitów komend dopełniania oraz bitów dopełniających, sygnały kanałowe występują w postaci nie izochronicznych /zawierających luki po usuniętych bitach/ ciągów binarnych.

Tego typu sygnały zawierają więc fluktuacje fazy, wynikające ze struktury ramki sygnału zbiorczego. Fluktuacje te mają charakter systematyczny i stosunkowo wysoką częstotliwość, dzięki czemu są łatwo wytłumiane za pomocą pętli ustalania fazy.

Jednakże, oprócz powyższych systematycznych fluktuacji fazy, odtwarzane sygnały kanałowe zawierają niskoczęstotliwościowe fluktuacje fazy o charakterze niesystematycznym, które wynikają z tzw. fluktuacji czasu oczekiwania w procesie dopełniania impulsowego oraz z fluktuacji fazy powstających w trakcie liniowym. Zjawisko fluktuacji czasu oczekiwania polega na tym, że dopełnianie mo-

że być zrealizowane tylko w jednym określonym miejscu ramki, natomiast stwierdzenie o konieczności dokonania dopełnienia może nastąpić w dowolnym miejscu ramki. Efekt ten wywołuje fluktuacje fazy sygnału odtwarzanego w demultiplekserze w stosunku do sygnału wejściowego w multiplekserze.

Ze względu na małą częstotliwość tych fluktuacji nie są one wytłumiane i pozostają w odtworzonym sygnale 2 Mbit/s. Amplituda fluktuacji fazy wynikających z czasu oczekiwania zależy od chwilowej wartości stopy dopełnienia /tj. stosunku częstotliwości dopełnienia do maksymalnej częstotliwości dopełnienia równej częstotliwości ramki/ i osiąga maksima, gdy stopa dopełnienia jest równa stosunkowi liczb całkowitych.

W praktyce w sygnale odtworzonym występują więc fluktuacje fazy o widmie prążkowym. Przy współpracy z traktem liniowym do powyższych fluktuacji wynikających z czasu oczekiwania dodawane są niskoczęstotliwościowe fluktuacje fazy powstające w trakcie liniowym, i wówczas prążki widma ulegają zamazaniu.

3.4. Kontrola i nadzór krotnicy cyfrowej 2-8 Mbit/s

Zgodnie z filozofią utrzymania zintegrowanej sieci cyfrowej krotnica cyfrowa stanowi jeden z odcinków utrzymania, w związku z czym musi dysponować własnymi środkami kontroli, odpowiednimi urządzeniami sygnalizacji alarmowej oraz respektować przyjęte zasady wykorzystania Sygnału Informacji Alarmowej /SIA/.

Przypomnijmy, że sygnał SIA /typu "wszystkie 1"/ przesyłany w przypadku poważnego uszkodzenia zamiast sygnału informacyjnego ma na celu ograniczenie możliwości pojawiania się alarmu utrzymania tylko w uszkodzonym odcinku utrzymania. Sygnał ten uniemożliwia pojawienie się alarmu utrzymania we wszystkich następnym odcinkach /w przód/, który wystąpiłby z racji uszkodzenia tego samego typu /np. kaskadowa utrata fazowania ramek 140, 34,8, 2 Mbit/s wywołana przerwą w linii 140 Mbit/s/.

W przeciwieństwie do tego, wykrycie sygnału SIA nie powoduje powstrzymania alarmu służby i związanych z tym akcji, wynikających z uszkodzenia odcinka cyfrowego wykorzystywanego przez tę służbę.

Krotnice cyfrowe, a w szczególności krotnica 2-8 Mbit/s nie jest związana z żadną konkretną służbą, dlatego też alarm służby w krotnicy nie jest przewidziany. Przewidziany został natomiast nadzór krotnicy przez odpowiedni system kontroli, który przy wykryciu uszkodzenia krotnicy powoduje włączenie alarmu utrzymania oraz emisję sygnału SIA.

Nadzorowane są sygnały przychodzące, stan fazowania ramki, zasilanie, synchronizacja odtwarzanych w demultiplekserze zegarów 2048 kHz oraz stan urządze-

nia odległego /kryterium alarmu zwrotnego z krotnicy odległej przesyłane jest za pomocą 11-bitu w ramce 8 Mbit/s. System kontroli i alarmów daje wizualne wskazanie uszkodzonego zespołu, powoduje emisję sygnału SIA oraz włączenie odpowiedniego alarmu utrzymania.

Powyższa kontrola urządzeń mimo wszystko nie zapewnia kompletnej kontroli wszystkich funkcji realizowanych w multiplekserze i demultiplekserze, a ponadto nie jest wystarczająca dla ścisłej lokalizacji uszkodzonego odcinka utrzymania /przyczyną nieprawidłowości może być odcinek poprzedni/. Biorąc to pod uwagę, dla krotnic cyfrowych 2-8 Mbit/s przewidziano dodatkowe zewnętrzne urządzenie kontroli typu wejście - wyjście. Urządzenie to, które w sposób cykliczny może przeprowadzać kontrolę wszystkich krotnic znajdujących się w stojaku, funkcjonuje w sposób następujący: wszystkie wejściowe i wyjściowe sygnały o przepływnościach 2048 kbit/s i 8448 kbit/s pobierane są z zacisków zewnętrznych krotnicy /oczywiście bez wprowadzania zakłóceń w normalnej pracy krotnicy/ i podawane do urządzenia kontroli. Urządzenie kontroli rozdziela sygnał zbiorczy 8 Mbit/s na sygnały 2 Mbit/s i porównuje te ostatnie z sygnałami wejściowymi lub wyjściowymi 2 Mbit/s w zależności od tego, czy kontrolowany jest multiplekser, czy demultiplekser. Jeżeli z porównania sygnałów wynika, że określona wcześniej stopa błędów jest przekroczona, wówczas zostaje włączony odpowiedni alarm. W praktyce alarm włączany jest również przy innych nieprawidłowościach /jak np. przy braku sygnału, braku fazowania ramki, braku sygnału SIA na wyjściu krotnicy, w przypadku gdy powinien on być wysyłany, itp./. Urządzenie kontroli sprawdza więc czy krotnica jest rzeczywiście uszkodzona /a jeżeli tak, to która jej część/ i wywołuje alarm w tym przypadku lub nie wywołuje alarmu jeżeli nieprawidłowość występuje już na wejściu krotnicy.

Powyższe urządzenie kontrolne jest wspólne dla 16 krotnic 2-8 Mbit/s i przeprowadza cyklicznie kontrolę krotnic, a w obrębie krotnic, cyklicznie kontrolę kanałów 2 Mbit/s /w kierunku nadawczym i odbiorczym/.

W przypadku małych stacji, w których liczba krotnic jest niewielka, przewiduje się stosowanie przenośnego przyrządu kontroli cyklicznej, realizującego te same funkcje co urządzenie opisane powyżej.

4. OPIS FUNKCJONALNY KROTNICY CYFROWEJ 2-8 Mbit/s

Jednym z podstawowych urządzeń systemu 8 Mbit/s jest krotnica cyfrowa 2-8 Mbit/s przeznaczona do cyfrowego zwielokrotnienia 4 sygnałów o przepływności binarnej 2,048 Mbit/s każdy i utworzenia sygnału zbiorczego o przepływności 8,448 Mbit/s.

Poniżej przedstawione są podstawowe parametry krotnicy 2-8 Mbit/s, które zgodne są z zaleceniem CCITT G.742 na urządzenia zwielokrotnienia cyfrowego

z dopełnianiem dodatnim o przepływności binarnej 8,448 Mbit/s. Schemat blokowy krotnicy z zaznaczeniem punktów styku przedstawiono na rys. 5.

4.1. Podstawowe parametry krotnicy 2-8 Mbit/s

4.1.1. Sygnały zwielokrotnianych grup pierwotnych

Liczba grup pierwotnych	- 4
Nominalna przepływność binarna	- 2,048 Mbit/s
Stołość przepływności	- ± 100 bit/s
Rodzaj kodu liniowego	- HDB-3

4.1.2. Sygnał grupy wtórnej

Nominalna przepływność binarna	- 8,448 Mbit/s
Stołość przepływności	- ± 250 bit/s
Rodzaj kodu liniowego	- HDB-3

4.1.3. Struktura ramki grupy wtórnej

Długość ramki	- 100,38 us
Częstotliwość ramki	- 9962 ramek/s
Liczba bitów w ramce	- 848
Liczba bitów informacyjnych w ramce	- 824
Nadmiarowość ramki	- 3%
Liczba grup w ramce	- 4
Liczba bitów jednej grupy pierwotnej w ramce	- 212
- z dopełnieniem	- 205
- bez dopełnienia	- 206
Bitów służbowe	- 2 w ramce

Strukturę ramki przedstawiono w tablicy 1.

4.1.4. Charakterystyka dopełniania

Rodzaj dopełniania	- dodatnie
Przepływność grupy wtórnej przeliczona na jedną grupę pierwotną	- 2,0522 Mbit/s
Średnia częstotliwość dopełniania	- 4,22 kHz
Maksymalna częstotliwość dopełniania	- 10 kHz

4.1.5. Kontrola dopełniania

Liczba bitów kontroli dopełniania dla jednej grupy pierwotnej	- 3
---	-----

Kombinacja przy dopełnianiu	- 111
Kombinacja przy braku dopełniania	- 000

T a b l i c a 1

Struktura ramki 8 Mbit/s

Przepływność binarna sygnałów wejściowych Liczba sygnałów wejściowych	2,048 Mbit/s 4
Struktura ramki	Sekcja I
Sygnal fazowania ramki 1111010000	bity 1 - 10
Bity wolne	bity 11 - 12
Bity informacyjne	bity 13 - 212
	Sekcja II
Bity kontroli dopełniania C_{1j}	bity 1 - 4
Bity informacyjne	bity 5 - 212
	Sekcja III
Bity kontroli dopełniania C_{2j}	bity 1 - 4
Bity informacyjne	bity 5 - 212
	Sekcja IV
Bity kontroli dopełniania C_{3j}	bity 1 - 4
Bity dopełniające	bity 5 - 8
Bity informacyjne	bity 9 - 212

Uwaga: C_{ij} - oznacza i-ty bit kontroli dopełniania j-tej grupy pierwotnej.

4.1.6. Fazowanie ramki

Sygnal fazowania ramki	- 1111010000
Miejsce sygnału fazowania ramki w ramce	- bity: 1 - 10
Czas fazowania ramki	- 0,75 ms

4.1.7. Punkt styku o przepływności 2,048 Mbit/s

Rodzaj kodu	- HDB-3
Sygnal wyjściowy	- $\pm 3,0$ V na 120Ω symetrycznie
Fluktuacje generowane	- 80 ns /pik - pik/
Sygnal wejściowy	- jak sygnal wyjściowy, stłumiony i zniekształcony przez odciinek kabla o tłumienności 0 ± 6 dB przy częstotliwości 1 MHz

Fluktuacje tolerowane - 500 ns

Kształt impulsu wg gabarytu przedstawionego na rys. 6.

4.1.8. Punkt styku o przepływności 8,448 Mbit/s

Rodzaj kodu	- HDB-3
Sygnal wyjściowy	- + 2,37 V na 75 Ω niesymetrycznie
Sygnal wejściowy	- jak wyżej; stłumiony i zniekształcony przez odcinek kabla o tłumienności 0 \pm 6 dB przy 4,2 MHz
Fluktuacje generowane	- 6 ns /pik - pik/

Kształt impulsu wg gabarytu przedstawionego na rys. 7

4.1.9. Alarmy

Pilny alarm utrzymania włączany jest w przypadku następujących uszkodzeń:

- a/ Zanik sygnału 8 Mbit/s
- b/ Utrata fazowania ramki
- c/ Rozstrojenie się generatora PCO
- d/ Alarm zasilania
- e/ Zanik sygnału 2 Mbit/s na wejściu krotnicy

Alarm niepilny /informacyjny/ włączony jest w przypadku:

- a/ Wykrycia sygnału SIA /"1111"/ w sygnale 8 Mbit/s
- b/ Alarmu na stacji przeciwległej /wykrycia "1" na pozycji 11-tego bitu w ramce 8 Mbit/s

Oba rodzaje alarmów włącza się z opóźnieniem 800 ms od momentu pojawienia się kryterium alarmowego.

4.1.10. Emisja sygnału SIA

Emisja sygnału SIA do współpracujących urządzeń 2 Mbit/s dokonywana jest z opóźnieniem 400 ms od momentu pojawienia się kryterium alarmowego.

4.1.11. Temperatura

Zakres zmian temperatury otoczenia: +10 \pm +40 $^{\circ}$ C

4.1.12. Zasilanie

a/ Bateria stacyjna	-60 V lub -50V z tolerancją <u>+10%</u>
b/ Bateria stacyjna	24 V przy wahaniami od 21,4 do 30 V
c/ Napięcie przemiennie	220 V /187+242 V//50 Hz <u>+5%</u>

4.2. Budowa krotnicy 2-8 Mbit/s

W skład urządzeń krotnicy 2-8 Mbit/s wchodzi następujące zespoły:

- 4 zespoły pamięci wejściowych
- zespół nadajnika 8 Mbit/s
- zespół odbiornika 8 Mbit/s
- 4 zespoły pamięci odbiorczych /wyjściowych/
- zespół alarmów
- zespół kontroli cyklicznej
- zasilacz lokalny.

Dodatkowo z urządzeniami tymi związane są następujące zespoły:

- 4 transkodery HDB-3 - 2 Mbit/s
- transkoder HDB-3 - 8 Mbit/s
- urządzenie pomiarowe kontroli cyklicznej /wspólne dla 16 krotnic 2-8 Mbit/s/.

4.2.1. Opis ogólny pracy krotnicy

Od strony wejścia 2 Mbit/s krotnica wyposażona jest w 4 zespoły 2 Mbit/s. W skład każdego zespołu 2 Mbit/s wchodzi: transkoder 2 Mbit/s, pamięć wejściowa i pamięć wyjściowa. W transkoderze 2 Mbit/s sygnał cyfrowy przychodzący z linii jest dekodowany z kodu HDB-3 na kod binarny oraz wyławiany jest sygnał czasowania /zegar/ 2,048 MHz. Sygnał binarny i zegar podawane są do zespołu pamięci wejściowej, w którym wykonywana jest operacja dopełniania. Sygnał wychodzący z pamięci /synchroniczny z częstotliwością grupy wtórnej/ podawany jest do nadajnika 8 Mbit/s, w którym następuje zwielokrotnienie cyfrowe oraz wprowadzenie do sygnału zbiorczego, dodatkowych bitów, tzn. wzoru fazowania ramki i komend dopełniania.

Wyjściowy sygnał binarny 8,448 Mbit/s oraz zegar podawane są do transkodera 8 Mbit/s, który koduje sygnał na sygnał liniowy HDB-3. W nadajniku 8 Mbit/s generowany jest poza tym zegar 8,448 Mbit/s oraz wszystkie przebiegi potrzebne do sterowania pamięci wejściowych.

Po stronie odbiorczej krotnicy wykonywane są operacje odwrotne. Sygnał przychodzący z toru jest regenerowany i dokodowany z kodu HDB-3 na kod binarny.

Sygnal binarny wraz z odtworzonym zegarem 8,448 MHz podawany jest do odbiornika 8 Mbit/s. Układ odbiornika 8 Mbit/s zapewnia fazowanie ramki, urządzenia odbiorczego, generacje wszystkich przebiegów potrzebnych do sterowania pamięci wyjściowych oraz rozdział sygnału wejściowego na 4 ciągi cyfrowe odpowiadające poszczególnym grupom pierwotnym 2,048 Mbit/s. W zespole pamięci wyjściowej, po wycięciu bitów dopełniających odtwarzany jest pierwotny sygnał binarny 2,048 Mbit/s oraz zegar towarzyszący 2,048 MHz. Sygnal ten podawany jest następnie do transkodera 2 Mbit/s, w którym zostaje zakodowany na kod liniowy HDB-3 i wysłany w linię.

Działanie urządzenia zwielokrotniającego nadzorowane jest przez system kontroli i alarmów. Nadzorowane są wszystkie operacje oraz przychodzące i wychodzące sygnały, stan fazowania ramki, zasilanie i stan urządzenia odległego /przez odpowiedni kanał danych/. Zespół kontroli i alarmów daje wizualne wskazanie uszkodzonego zespołu oraz uruchamia sygnał alarmowy.

Dodatkowo w każdym stojaku zawierającym krotnice 2-8 Mbit/s znajduje się urządzenie pomiarowe kontroli cyklicznej /wspólne dla 16 krotnic/. W przypadku małej liczby krotnic może być stosowany przenośny przyrząd pomiarowy do kontroli cyklicznej.

Urządzenie kontroli cyklicznej dołączane do wejścia 2 Mbit/s i wyjścia 8 Mbit/s /bądź wejścia 8 Mbit/s i wyjścia 2 Mbit/s/ sprawdza poprawność działania krotnicy przez porównanie sygnału na wejściu i wyjściu krotnicy. Uszkodzony kanał 2 Mbit/s oraz numer krotnicy, w której ten kanał się znajduje jest wyświetlany na płycie czołowej urządzenia pomiarowego.

Urządzenie pomiarowe kontroli cyklicznej dołączone jest przez zespół kontroli cyklicznej, który znajduje się na wyposażeniu każdej krotnicy. Zespół ten sterowany z urządzenia pomiarowego, dokonuje cyklicznej komutacji kanałów w obrębie danej krotnicy.

Schemat blokowy części nadawczej krotnicy /multiplexera/ przedstawiono na rys. 8, natomiast schemat części odbiorczej /demultiplexera/ na rys. 9.

4.2.2. Zespół 2 Mbit/s

4.2.2.1. Transkoder. Zadaniem transkodera jest zamiana kodu unipolarnego na kod bipolarny HDB-3 i odwrotnie. Układ transkodera składa się z nadajnika HDB-3, odbiornika HDB-3 i regeneratora końcowego.

a. Nadajnik HDB-3

Nadajnik HDB-3 zamienia podawany na jego wejście kod unipolarny na kod bipolarny HDB-3. Wejściowy kod typu NRZ podawany jest przez przerzutnik na wejście szeregowe rejestru czterobitowego. W takt zegara, otrzymywanego z poprze-

dzających zespołów, informacja jest wpisywana do rejestru. Wyjścia równoległe rejestru A, B, C i jego wejście są podłączone do czterowejściowej bramki NAND, która w przypadku wystąpienia czterech jedynek /co odpowiada czterem zerom w kodzie/ na jej wejściach wytwarza impuls określający miejsce, gdzie należy wprowadzić zaburzenie w wysłanym kodzie. Zmiana wysyłanego kodu wykonywana jest poprzez wejścia równoległe rejestru. W przypadku wystąpienia impulsu na wyjściu wspomianej bramki na czas jego trwania rejestr jest przełączany na pracę równoległą i zostaje do niego wpisana kombinacja 0110 lub 1110 /co odpowiada w kodzie kombinacji 1001 lub 0001/ w zależności od polaryzacji ostatniego zaburzenia.

Impuls z tej bramki jest także rejestrowany w przerzutnikach V i H. Przerzutnik V służy do określania ostatniej polaryzacji zaburzenia kodu i jest wykorzystywany wraz z przerzutnikiem wyjściowym B do ustalania rodzaju zaburzenia HDB-3 /R00V lub 000V/. Wystąpienie "1" na pierwszej pozycji w czterobitowej sekwencji jest uzależnione od stanu przerzutników V i B. Analiza stanów tych przerzutników wykonywana jest na półsumatorze.

Przerzutnik H służy do wprowadzania, w odpowiednim miejscu w wysłanej aktualnie sekwencji 4-bitowej, zaburzenia biegunowości.

Kod z rejestru podawany jest na układ wyjściowy składający się z przerzutnika B i trzech trzywejściowych bramek NAND. Z układu tego jedynki dodatnie i ujemne w linii są wprowadzone oddzielnymi przewodami. Zaburzenie biegunowości wprowadzane jest na ten układ przez inną bramkę NAND.

Podanie na odpowiednie wejście /"kryterium SIA"/ logicznego zera powoduje wysyłanie przez nadajnik sekwencji ... 11111111 ... niezależnie od przychodzącego kodu.

b. Odbiornik HDB-3

Zadaniem odbiornika HDB-3 jest zamiana bipolarnego kodu HDB-3 na kod unipolarny NRZ. Impulsy dodatnie i ujemne w linii podawane są z regeneratora końcowego do odbiornika HDB-3 po oddzielnych przewodach na układ składający się z dwóch półsumatorów i przerzutnika typu T. Układ ten rozdziela przychodzące impulsy na impulsy o prawidłowej polaryzacji i impulsy o polaryzacji nieprawidłowej, określone jako wiolacja /V/.

Rozdzielone impulsy są następnie sumowane na bramce NAND i zostają podane na szeregowe wejście rejestru czterobitowego. Trzy wyjścia równoległe tego rejestru, A, B i D, są podłączone do trzech wejść czterowejściowej bramki NAND. Na czwarte wejście są podawane wykryte zaburzenia biegunowości. Jeżeli występują jednocześnie następujące warunki:

- na wyjściach A, B i D pojawiają się odpowiednie dwa zera i jedynka,
- układ wejściowy zasygnalizuje wystąpienie zaburzenia biegunowości,

wówczas układ rozpoznaje to jako wystąpienie sekwencji HDB-3. Rozpoznanie sekwencji HDB-3 powoduje wpisanie do rejestru przez wejścia równoległe sekwencji 0001, co odpowiada usunięciu jedynki z pierwszej pozycji 4-bitowej sekwencji. Wystąpienie sekwencji HDB-3 jest rejestrowane w rejestrze dwubitowym, złożonym z dwóch przerzutników J-K. Cechą charakterystyczną tego rejestru jest to, że informacja o wystąpieniu HDB-3 jest utrzymywana w ostatniej jego komórce tak długo, aż z rejestru czterobitowego zostanie odczytana "1" z sekwencji 0001. Jedynka ta zostaje wycięta z kodu na bramce NAND.

Uzyskany kod jest podawany na układ wyjściowy odbiornika HDB-3, to znaczy na przerzutnik typu D, który regeneruje impulsy, usuwając z sygnału niepożądane szpilki wynikające z opóźnień elementów. Przerzutnik ten wraz z półsumatorem służy do generacji sygnału SIA. W przypadku wystąpienia kryterium w postaci zegara logicznego przerzutnik zostaje ustawiony w stan 1 za pomocą wejścia R i jednocześnie półsumator przełącza zegar liniowy na zegar lokalny otrzymywany z zespołu alarmu.

c. Układ kontroli linii

Zadaniem tego układu jest kontrolowanie sygnału otrzymywanego z linii. Wskazanie alarmu występuje w przypadku zaniku sygnału wejściowego z linii.

Układ kontroli linii sprawdza także, czy przychodzący sygnał z linii nie jest sygnałem SIA. Odebranie sygnału SIA jest sygnalizowane logiczną jedynką. Dodatkowo istnieje możliwość niezależnego sprawdzenia diody sygnalizacyjnej przez podanie zera logicznego w sposób ręczny.

d. Regenerator końcowy 2 Mbit/s

Regenerator końcowy ma za zadanie odtwarzanie impulsów bipolarnych o częstotliwości 2,048 MHz otrzymywany z urządzeń końcowych traktu liniowego 2 Mbit/s. Przeznaczony jest on dla odcinka o tłumienności od 0 do 6 dB.

4.2.2.2. Zespół pamięci wejściowej. Zespół ten składa się z 8-bitowej pamięci, dystrybutora zapisu, układu odczytu, układu porównania fazy oraz układu nadawania komend o dopełnianiu. Układ pamięci zawiera 8 komórek pamięci zrealizowanych na przerzutnikach typu D. Na wejścia D wszystkich przerzutników podawana jest równoległe informacja 2,048 Mbit/s przychodząca z transkodera 2 Mbit/s.

Rozdział informacji wejściowej do poszczególnych komórek pamięci jest kontrolowany przez układ dystrybutora zapisu, który sterowany jest sygnałem zegara 2,048 MHz wyłównym z sygnału wejściowego.

Sygnaly z tego dystrybutora wpisują bity informacyjne kolejno do poszczególnych komórek pamięci. Zapisany bit jest magazynowany w danej komórce pamięci przez czas trwania 8-bitów /tj. 3,904 μ s/ aż do momentu ponownego zapisu.

Pozostałe układy pamięci wejściowej sterowane są sygnałami wytwarzanymi w nadajniku 8 Mbit/s /patrz rys. 10/. Układ odczytu składający się z dystrybutora odczytu i deszyfratora sterowany jest ciągiem zegarowym DN /ciąg 2112 kHz z lukami na wzór ramkowania i komendy o dopełnianiu/ synchronicznym z częstotliwością zegara 8,448 MHz. Oba dystrybutory zapisu i odczytu pracują z różnymi szybkościami, przy czym odczyt dokonywany jest z większą szybkością niż zapis. Oczywiście wpis do danej komórki pamięci powinien być dokonany wcześniej niż odczyt z tej komórki. Jeżeli czas pomiędzy momentem zapisu i odczytu zmniejszy się poniżej dopuszczalnej granicy /przyjęto iż ten minimalny czas wynosi 3 bity grupy pierwotnej/, wówczas następuje skokowe opóźnienie odczytu o 1 bit.

Praktycznie odbywa się to w sposób następujący. Przesunięcie fazy pomiędzy zegarem wpisującym i odczytującym kontrolowane jest w każdej ramce /w miejscu N/ przez układ porównania fazy /cztery bramki NAND/. Jeżeli przesunięcie fazy jest poniżej dopuszczalnej granicy, odpowiedni przerzutnik zostaje ustawiony w pozycję "1", co powoduje:

- wysłanie komendy o dopełnieniu
- wycięcie 1 impulsu z ciągu DN.

Wycięcie impulsu z ciągu DN powoduje zatrzymanie dystrybutora odczytu na tej samej pozycji przez okres 2 bitów, a tym samym powoduje podwójny odczyt z tej samej komórki pamięci. Wysłanie komendy musi poprzedzać samą operację dopełniania, ponieważ odbiornik dopiero po odebraniu komendy może dokonać usunięcia wprowadzonego bitu dopełniającego.

W ramce grupy wtórnej ustalone są więc miejsca, w których wysyłane są komendy oraz wprowadza się bit dopełniający. Na początku ramki przerzutnik wycofany jest na pozycję "0", a układ porównania ponownie sprawdza przesunięcie fazy między zegarami zapisu i odczytu. Jeżeli to przesunięcie fazy mieści się w dopuszczalnych granicach, to wspomniany przerzutnik pozostaje w pozycji "0" i wówczas w tej ramce dopełnianie nie zachodzi. Zamiast komendy "111" wysyłana jest wówczas komenda "000", a z ciągu DN nie jest wycinany impuls dopełniający.

Informacja cyfrowa odczytana z pamięci wraz z komendą o dopełnianiu przekazywana jest do nadajnika 8 Mbit/s, w którym następuje zwielokrotnienie cyfrowe oraz wprowadzenie komend o dopełnianiu i wzoru fazowania ramki do sygnału wyjściowego 8,448 Mbit/s.

4.2.2.3. Zespół pamięci wyjściowej. W odbiorniku znajdują się cztery zespoły pamięci wyjściowych /analogicznie jak w nadajniku, gdzie istnieją cztery zespoły pamięci wejściowych/. Każdy z tych zespołów przeznaczony jest dla jednej grupy pierwotnej o przepływności binarnej 2,048 Mbit/s.

W zespole pamięci wyjściowej znajdują się następujące układy:

- odbiornik komend o dopełnianiu,
- dzielnik wpisujący do pamięci,
- dzielnik odczytujący z pamięci,
- pamięć wyjściowa,
- generator z kontrolowaną fazą /PCO/,
- układ sygnalizacji rozsynchronizowania generatora z kontrolowaną fazą.

Ponieważ dzielniki: wpisujący i odczytujący z pamięci oraz pamięć wyjściowa są analogiczne jak w pamięciach wejściowych, omówiona zostanie tylko zasada działania pozostałych układów.

a. Odbiornik komend o dopełnianiu

Jak wiadomo, w 2, 3 i 4 podgrupie ramki pierwsze cztery bity zajmują komendy o dopełnianiu, po jednym bicie dla każdej grupy pierwotnej. W celu odczytania tych bitów wytwarza się odpowiedni przebieg zegarowy P_w , a następnie dokonuje się iloczynu tego przebiegu z informacją przeznaczoną dla danej grupy pierwotnej na bramce NAND. Powstałe w ten sposób impulsy są zliczane w liczniku do trzech. Jeżeli następuje dopełnianie, wówczas zostaje wysłany do odbiornika w odpowiednich miejscach ramki wzór rozproszony 111 /w przypadku braku dopełniania we wspomnianych miejscach ramki jest przesyłany wzór 000/. Wzór ten daje zabezpieczenie przed jednym błędem. Wystarczy bowiem odebranie dwóch "jedynek" w odpowiednich miejscach ramki, aby zostało stwierdzone dopełnianie.

Wspomniany licznik jest zerowany raz na ramkę przebiegiem zegarowym 0. Wyjście licznika steruje bramką NAND zapewniającą przejście impulsu zegarowego M w przypadku dopełniania. Przebiegi zegarowe M powodują wycinanie z ciągu bitów DN o przepływności 2,112 Mbit/s w odpowiednich ramkach pierwszego impulsu w czwartej podgrupie. W ten sposób otrzymuje się po stronie odbiorczej taką samą przepływność grupy pierwotnej, jak po stronie nadawczej. Wspomnianego wycinania dokonuje się też na bramce NAND. Przebieg z wyjścia tej bramki jest podawany na dzielnik wpisujący do pamięci. Przebiegi zegarowe P_w , M, 00, DN są analogiczne jak w nadajniku /rys. 10/.

b. Generator z kontrolowaną fazą PCO^{1/}

Zadaniem tego generatora jest wytworzenie przebiegu zegarowego o częstotli-

^{1/}PCO - Phase controlled oscillator.

wości takiej samej, jaką ma ciąg bitów informacyjnych wprowadzonych do nadajnika oraz o odpowiedniej fazie, tzn. takiej, aby ten sam bit informacyjny nie został odczytany dwukrotnie w miejscach, w których wprowadzono do ramki bity nadmiarowe.

Generator pracuje w układzie z pętlą sprzężenia zwrotnego. Składa się on z następujących członów:

- a/ generatora kwarcowego przestrajanego w pożądanym zakresie częstotliwości $/VCO$ ^{1/} oraz układu formującego falę prostokątną,
- b/ filtru RC,
- c/ układu komparatora fazy,
- d/ wzmacniacza prądu stałego sterującego diody pojemnościowe w generatorze kwarcowym.

Poniżej zostanie wyjaśniona zasada pracy generatora PCO.

Założmy, że:

- A - przebieg wejściowy do PCO
- B - przebieg z generatora lokalnego przestrajanego napięciem $/VCO$
- F_1 - częstotliwość przebiegu A
- F_2 - częstotliwość przebiegu B.

1. Jeżeli przebieg wejściowy zmniejszył częstotliwość, tzn. $F_2 > F_1$, to impulsy o zmiennej szerokości z komparatora fazy ulegają poszerzeniu od 0 do szerokości maksymalnej $T/2$, gdzie T - okres drgań generatora lokalnego $/VCO$. Zatem napięcie uzyskane z filtru dolnoprzepustowego RC rośnie. Jest ono napięciem wejściowym U_{we} dla wzmacniacza prądu stałego. Wzmacniacz operacyjny pracuje jako inwertor fazy, tzn. gdy jego $U_{we} \uparrow$, to $U_{wy} \downarrow$, a w tym przypadku pojemność diody pojemnościowej rośnie $C \uparrow$. Zwiększenie pojemności włączanej szeregowo z rezonatorem kwarcowym powoduje zmniejszenie częstotliwości, którą generuje, stąd $C \uparrow$ powoduje $F_Q \downarrow$. Widać tu prawidłową pracę układu, generator bowiem zmniejszył swoją częstotliwość F_Q , tak jak uczynił to przebieg wejściowy A. Jest to więc zjawisko nadążania częstotliwości generatora lokalnego za częstotliwością przebiegu wejściowego. Pracę układu w tym wypadku można zapisać następująco:

$$F_1 \downarrow, U_{we} \uparrow, U_{wy} \downarrow, C \uparrow, F_Q \downarrow$$

^{1/}VCO - Voltage controlled oscillator.

2. W przypadku przeciwnym, gdy przebieg wejściowy A zmniejszył częstotliwość, tzn. $F_2 < F_1$, impulsy otrzymywane z komparatora zmniejszą swoją szerokość od szerokości maksymalnej $T/2$ do zera. Zatem napięcie stałe otrzymywane z filtru RC maleje. W ten sposób napięcie wyjściowe ze wzmacniacza operacyjnego rośnie. W związku z tym pojemność diody maleje, a stąd częstotliwość generatora rośnie.

Można ten proces zapisać następująco:

$$F_1 \uparrow, U_{we} \downarrow, U_{wy} \downarrow, C \downarrow, F_Q \uparrow$$

Widać, że generator lokalny nadaża z własną częstotliwością za częstotliwością przebiegu wejściowego.

c. Układ sygnalizacji rozsynchronizowania generatora z kontrolowaną fazą

Działanie układu oparto na fakcie, że przy poprawnie ustawionych fazach przebiegów z dzielników zapisu i odczytu, odpowiednie impulsy zdeszyfrowane z tych dzielników nie będą zachodzić na siebie w czasie. Deszyfracji dokonano na bramce NAND. W przypadku rozsynchronizowania generatora przebiegi te będą chwilami pokrywać się i na wyjściu tej bramki otrzymujemy impulsy. Impulsy te podawane są do układu detektora szczytowego, który współpracuje z tranzystorem sterującym, poprzez układ bramek, diodę elektroluminescencyjną, będącą wskaźnikiem optycznym rozsynchronizowania generatora z kontrolowaną fazą.

4.2.3. Nadajnik 8 Mbit/s

Zespół nadajnika 8 Mbit/s spełnia dwie podstawowe funkcje:

- generację i rozdział do poszczególnych zespołów pamięci wejściowych sygnałów zegarowych, niezbędnych do synchronizacji sygnałów wejściowych grup pierwotnych,
- zwielokrotnienie cyfrowe zsynchronizowanych sygnałów wejściowych oraz wprowadzenie sygnału fazowania ramki i komend dopełniania do sygnału zbiorczego 8,448 Mbit/s.

Ponadto zespół ten ma dwa wejścia E_1 i E_2 pozwalające na sterowanie dwoma bitami rezerwowymi ramki /bit 11 i 12 w ramce/. Jeżeli na te wejścia nie jest podany żaden sygnał, bity rezerwowe przyjmują wartość zero.

W skład zespołu nadajnika 8 Mbit/s wchodzi następujące układy:

- generator kwarcowy 8,448 MHz /wraz z układem wejściowym i wyjściowym zegara zewnętrznego 8,448 MHz/,

- dzielnik 1 : 848,
- dekodery poszczególnych ciągów zegarowych,
- układ zwielokrotniający.

Generator kwarcowy 8,448 MHz wykonany jest jako generator fali prostokątnej na dwóch brankach typu NAND. Stałość tego generatora wynosi $\pm 30 \cdot 10^{-6}$ / ± 250 Hz/.

Nadajnik 8 Mbit/s może być również sterowany zewnętrznym generatorem 8,448 MHz, przy czym może to być zegar odtworzony w części odbiorczej krotnicy bądź zegar pochodzący z innego źródła. Częstotliwość generatora zewnętrznego powinna wynosić 8,448 MHz $\pm 30 \cdot 10^{-6}$ / ± 250 Hz/.

Amplituda sygnału zegara zewnętrznego /o kształcie prostokątnym lub sinusoidalnym/ powinna wynosić 1,5 ÷ 3,0 V. Przyłączenie zegara zewnętrznego powoduje w sposób automatyczny blokadę generatora wewnętrznego 8,448 MHz, a rolę zegara wewnętrznego przejmują zegary zewnętrzne.

Zegar 8,448 MHz /wewnętrzny lub zewnętrzny/ steruje pracą dzielnika 1:848, a równocześnie poprzez układ wyjściowy wyprowadzony jest na zewnątrz i może być wykorzystywany do sterowania innych krotnic 2-8 Mbit/s.

Dzielnik 1:848 składa się z dwóch dzielników 1:4 oraz dzielnika 1:53. Dzielniki 1:4 wykonane są jako dzielniki synchroniczne w układzie Johnsona. Przeznaczenie poszczególnych ciągów zegarowych jest następujące.

- DN - ciąg zegarowy 2112 kHz z lukami na wzór ramkowania i komendy dopełniania przeznaczony do sterowania dystrybutorów odczytu w pamięciach wejściowych.
- O - ciąg 12/848 wykorzystywany do wprowadzania wzoru fazowania ramki i sterowania 11 i 12 bitem ramki.
- P - ciąg $3 \times 4/848$ przeznaczony do wprowadzania komend dopełniania.
- M - ciąg 4/848 przeznaczony do wprowadzania bitu dopełniającego.
- N - ciąg 32/848 przeznaczony do sterowania układów porównania fazy w pamięciach wejściowych.

Wszystkie wymienione ciągi zegarowe są wspólne dla wszystkich grup pierwotnych, dzięki czemu zespoły 2 Mbit/s są wymienne. Ponadto sygnały wyjściowe z zespołów pamięci wejściowych poszczególnych grup są jednakowe, jeśli chodzi o fazę i szerokość bitów. Sygnały te podawane są na wejście układu zwielokrotniającego, składającego się z 4-bitowego rejestru oraz zespołu bramek. Zespół bramek wykorzystywany jest do wprowadzenia do sygnału zbiorczego 8,448 Mbit/s wzoru fazowania ramki oraz do sterowania 11 i 12 bitem ramki.

Rysunek 10 przedstawia przebiegi zegarowe wytwarzane w nadajniku.

4.2.4. Transkoder HDB-3 8 Mbit/s

Transkoder HDB-3 8 Mbit/s spełnia analogiczne funkcje jak transkoder HDB-3 2 Mbit/s.

4.2.5. Odbiornik 8 Mbit/s

W skład płytki odbiornika 8 Mbit/s wchodzi następujące układy:

- zegary odbiorcze,
- układy rejestrowo-pamięciowe,
- układ fazowania ramki.

4.2.5.1. Zegary odbiorcze. Zostały one wykonane analogicznie jak w nadajniku. W związku z tym przebiegi zegarowe M , DM , P_w i 0 są takie, jak przedstawiono je na rys. 10.

4.2.5.2. Układy rejestrowo-pamięciowe. W skład tego zespołu wchodzi rejestr 16-bitowy oraz rejestr 4-bitowy. Pierwszych dziesięć komórek rejestru 16-bitowego służy do wykrywania wzoru fazowania ramki w zbiorczym sygnale grupy wtórnej. Komórki 11 i 12 są przeznaczone do odczytu jedenastego i dwunastego bitu ramki, przeznaczonych do transmisji alarmów. Komórki rejestru od trzynastej do szesnastej służą do odczytywania informacji przeznaczonych dla poszczególnych grup pierwotnych, raz na cztery impulsy zegarowe 8,448 Mbit/s.

Wzór fazowania ramki wykrywany jest w odpowiednim układzie zbudowanym na brankach. Bity 11 i 12 są magazynowane w przerzutnikach typu D.

Wyjście przerzutnika dla bitu jedenastego podawane jest na diodę elektroluminescencyjną /wskaźnik alarmu na stacji przeciwległej/ umieszczoną na płycie czołowej odbiornika, a jednocześnie jako kryterium alarmu podawane jest do zespołu alarmów /ZA/.

Bity informacyjne są magazynowane w rejestrze 4-bitowym, który w tym wypadku działa jako pamięć równoległa. Z pamięci tej poszerzone czterokrotnie impulsy przeznaczone dla poszczególnych grup pierwotnych są przesyłane do zespołów pamięci wyjściowych.

4.2.6. Urządzenia kontroli i alarmów

4.2.6.1. Opis ogólny. Zespół kontroli służy do ciągłego nadzorowania pewnych, ważnych operacji wykonywanych w nadajniku i odbiorniku krotnicy cyfrowej 2-8 Mbit/s.

Każdy układ kontrolny, wchodzący w skład zespołu kontroli, ma za zadanie wykrycie nieprawidłowości w kontrolowanej przezeń operacji, a następnie wysła-

nie odpowiedniego kryterium logicznego "0" lub "1" /tzw. wskazania alarmowego/ bezpośrednio do zespołu alarmowego. Samo wskazanie o alarmie jest widoczne z reguły na tej samej płytce, gdzie powstało uszkodzenie lub na płytce alarmu.

Jako wskaźniki optyczne zastosowano diody elektroluminescencyjne. Wskazanie o alarmie istnieje dopóty, dopóki istnieje uszkodzenie i znika wraz z jego ustąpieniem. Stała czasu jest mniejsza od 1 ms.

Wskazanie alarmowe w zależności od rodzaju uszkodzenia wywołuje alarm pilny lub niepilny po upływie 800 ms od pojawienia się tego wskazania, jeżeli będzie ono trwało bez przerwy przez ten czas. Alarm ustaje, gdy zanika wskazanie o alarmie.

Niektóre ze wskazań alarmowych mogą powodować emisje sygnału SIA do odpowiednich grup pierwotnych 2 Mbit/s. Sygnał SIA jest ciągiem binarnym o postaci ...11111111... i jest wysyłany po upływie 400 ms od pojawienia się odpowiedniego wskazania alarmowego, jeżeli trwa ono bez przerwy w ciągu tego okresu czasu.

4.2.6.2. Operacje kontrolowane. System kontroli wykrywa następujące uszkodzenia:

- a/ brak sygnału liniowego 8 Mbit/s,
- b/ wykrycie sygnału SIA 8 Mbit/s o postaci 111111...,
- c/ utratę fazowania ramki grupy wtórnej,
- d/ wykrycie "11" bitu przesyłanego w ramce 8 Mbit/s,
- e/ utratę synchronizacji generatorów w odbiornikach grup pierwotnych 2 Mbit/s,
- f/ brak zegara 2 Mbit/s,
- g/ brak zasilania lokalnego.

4.2.6.3. Omówienie uszkodzeń.

- a. Brak sygnału liniowego wywołuje wskazanie alarmowe, które jest widoczne w postaci wskaźnika optycznego na płytce transkodera 8 Mbit/s. Wskazanie to po upływie 400 ms zarządza wysłanie sygnału SIA do czterech transkoderów grup pierwotnych 2 Mbit/s, a po 800 ms wyzwala alarm pilny.
- b. Pojawienie się sygnału SIA wywołuje wskazanie alarmowe na płytce transkodera 8 Mbit/s. Wskazanie to po upływie 400 ms zarządza wysłanie sygnału SIA do czterech transkoderów 2 Mbit/s, a po 800 ms wyzwala alarm niepilny.
- c. Utrata fazowania ramki jest wykrywana na płytce odbiornika 8 Mbit/s i jest widoczna w postaci wskaźnika optycznego na tej płytce. Wskazanie alarmowe przesyłane jest do płytki alarmów i po 800 ms zapala alarm pilny po uprzednim /z opóźnieniem 400 ms/ wysłaniu sygnału SIA do czterech transkoderów grup pierwotnych.

- d. Wykrycie "11" - bitu w ramce 8 Mbit/s. W ramce 8 Mbit/s - jedenasty bit służy do przesyłania informacji alarmowej do stacji przeciwległej. Jeżeli alarm pilny jest włączony, to nadajnik 8 Mbit/s wysyła do stacji przeciwległej jedenasty bit jako "1". W odbiorniku tej stacji bit ten jest wykrywany i powoduje włączenie wskazania alarmowego na płytce odbiornika 8 Mbit/s. Powyższe wskazanie alarmowe przesłane na płytkę alarmów powoduje włączenie po 800 ms alarmu niepilnego.
- e/ Utrata synchronizacji generatorów w odbiornikach grup pierwotnych 2 Mbit/s. Z każdej płytki pamięci odbiorczej wysyłane jest wskazanie alarmowe, w momencie rozszynchronizowania się generatora PCO. Informuje o tym dioda elektroluminescencyjna umieszczona na tej płytce. Wskazanie to przesłane na płytkę alarmów powoduje po 400 ms wysłanie sygnału SIA do transkodera 2 Mbit/s odpowiedniej grupy pierwotnej, a po 800 ms wywołuje alarm pilny.
- f. Brak zegara 2 Mbit/s wykrywany jest w transkoderach 2 Mbit/s. Powoduje on wskazanie alarmowe, które jest widoczne w postaci wskaźnika optycznego na płytce odpowiedniego transkodera, a jednocześnie jest przesłane na płytkę alarmów. Uszkodzenia te powodują alarm pilny po 800 ms. W ramce grupy wtórnej w miejscach przeznaczonych dla danej grupy pierwotnej przesyłany jest wówczas sygnał SIA.
- g. Brak zasilania lokalnego przy jednoczesnym występowaniu zasilania zewnętrznego - 50 V/ - powoduje natychmiastowe włączenie alarmu pilnego.

4.2.6.4. Kontrola cykliczna krotnic. Oprócz omówionego powyżej systemu nadzoru i kontroli krotnic 2-8 Mbit/s przewidziane zostało dodatkowe urządzenie kontroli typu wejście-wyjście. Urządzenie to przeznaczone jest do cyklicznej kontroli większej liczby krotnic, a jego zasada działania omówiona została w p. 3.4.

5. ZAKOŃCZENIE

Przedstawiona powyżej krotnica cyfrowa 2-8 Mbit/s systemu cyfrowego 8 Mbit/s została opracowana w Pracowni Systemów Impulsowych Zakładu Urządzeń Teletransmisyjnych Instytutu Łączności w Warszawie. W chwili obecnej następuje wdrażanie tego urządzenia do produkcji w Wielkopolskich Zakładach Teleelektronicznych "Teletrd" w Poznaniu.

6. WYKAZ LITERATURY

1. Majewski W., Miłek J.: Teletransmisyjne systemy cyfrowe. Warszawa: IŁ 1976.
Pr. zbiorowa.
2. Wymagania techniczno-eksploatacyjne na krotnicę cyfrową TCC-120. Warszawa:
IŁ 1976.
3. Zalecenie Komisji Specjalnej D CCITT Nr G-742.

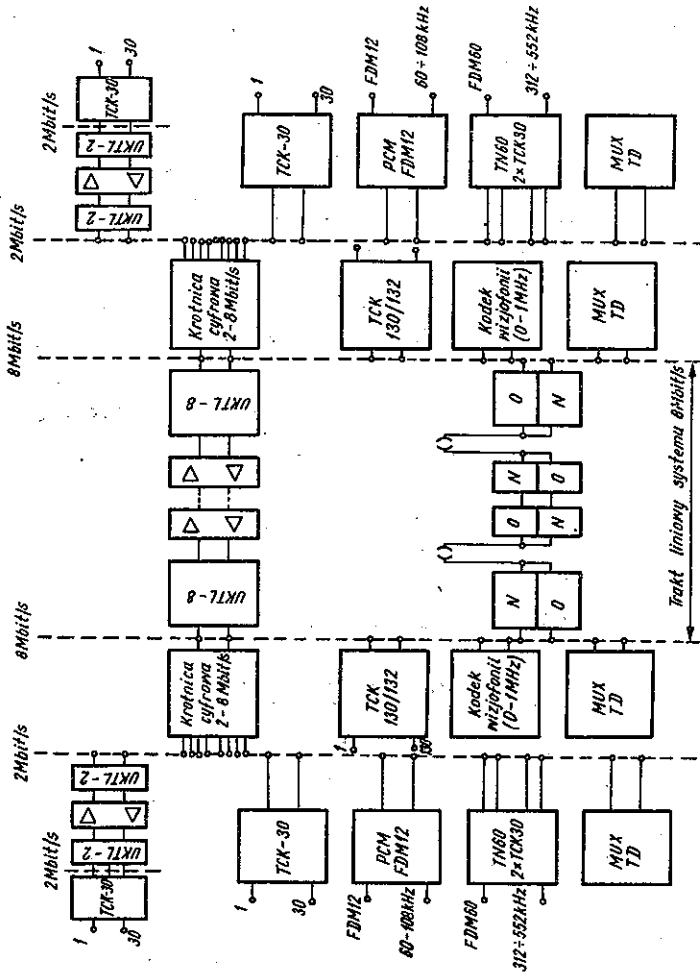
11. 11. 1954

11. 11. 1954

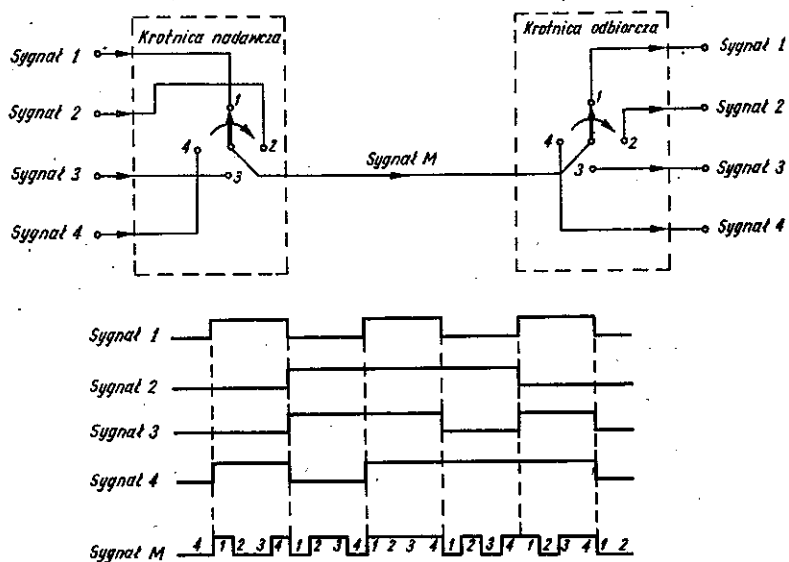
11. 11. 1954

11. 11. 1954

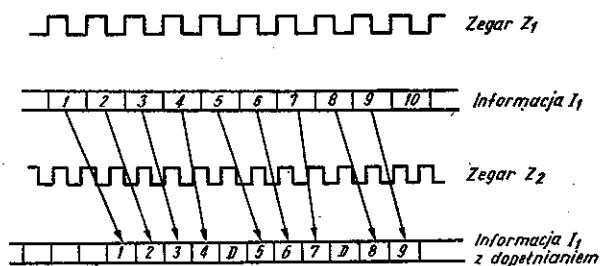
11. 11. 1954



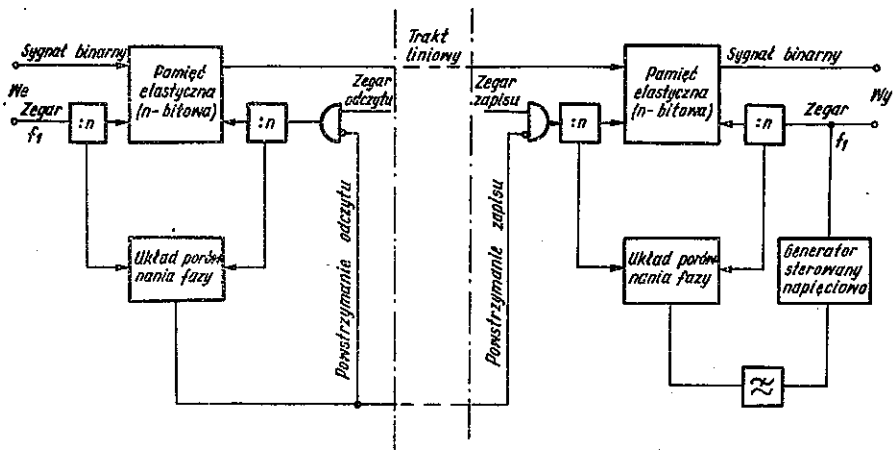
Rys. 1. Struktura systemu cyfrowego 8 Mbit/s



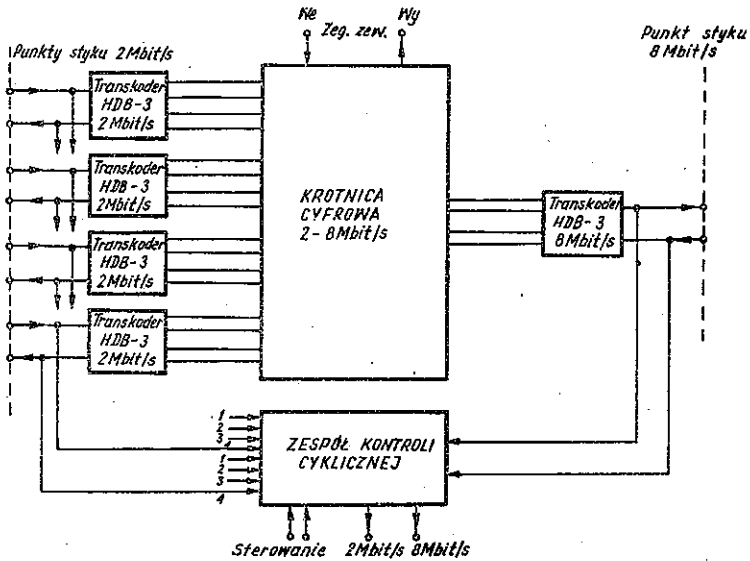
Rys. 2. Zasada czasowego zwielokrotnienia cyfrowego



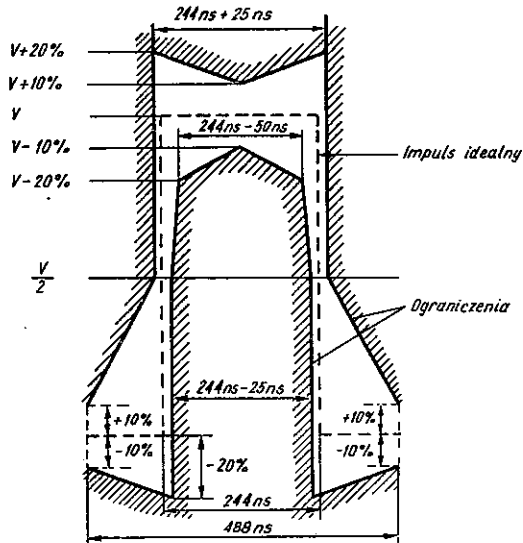
Rys. 3. Zasada dodatniego dopełniania impulsowego



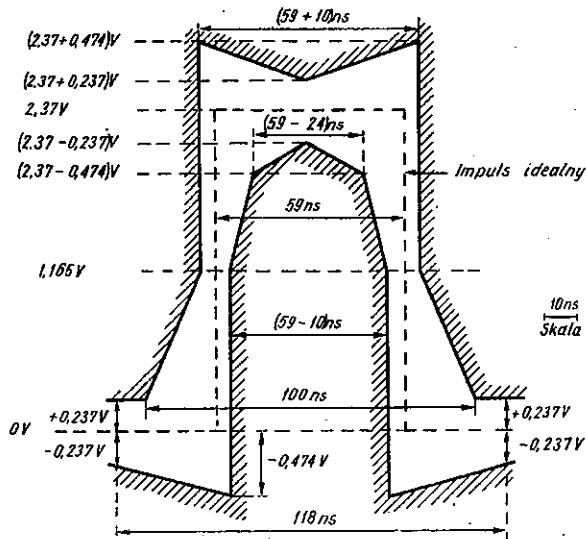
Rys. 4. Sposób realizacji dodatniego dopełniania impulsowego



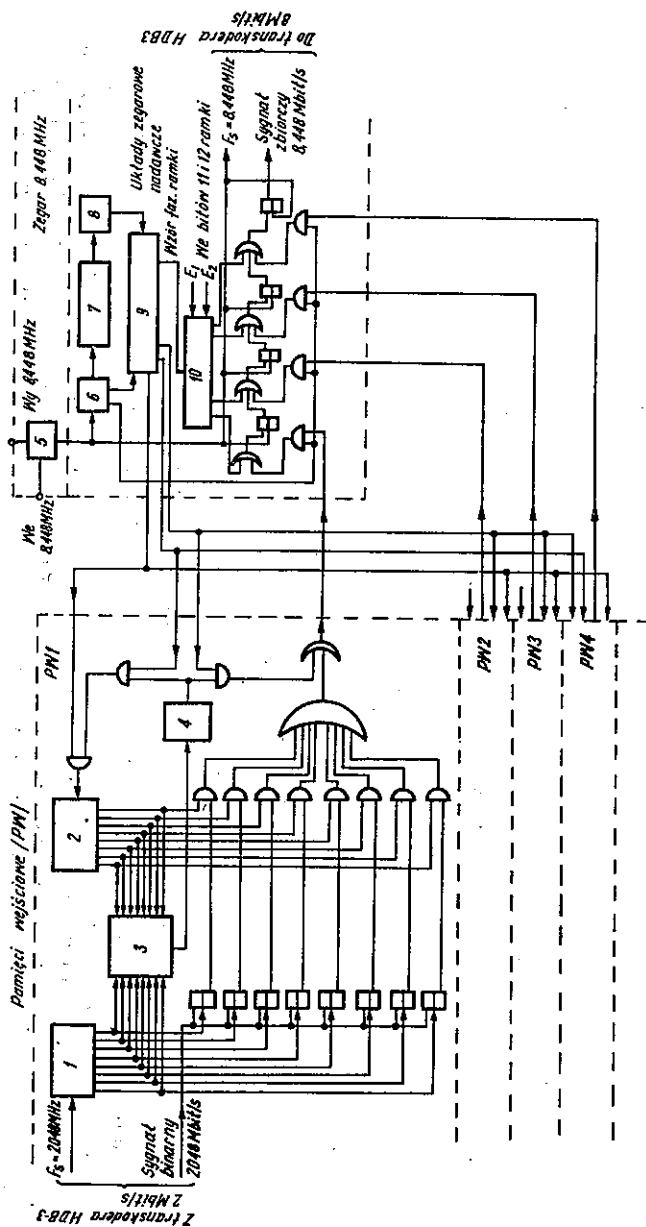
Rys. 5. Schemat blokowy krotnicy cyfrowej 2-8 Mbit/s



Rys. 6. Gabaryt impulsu w punkcie styku 2048 kbit/s

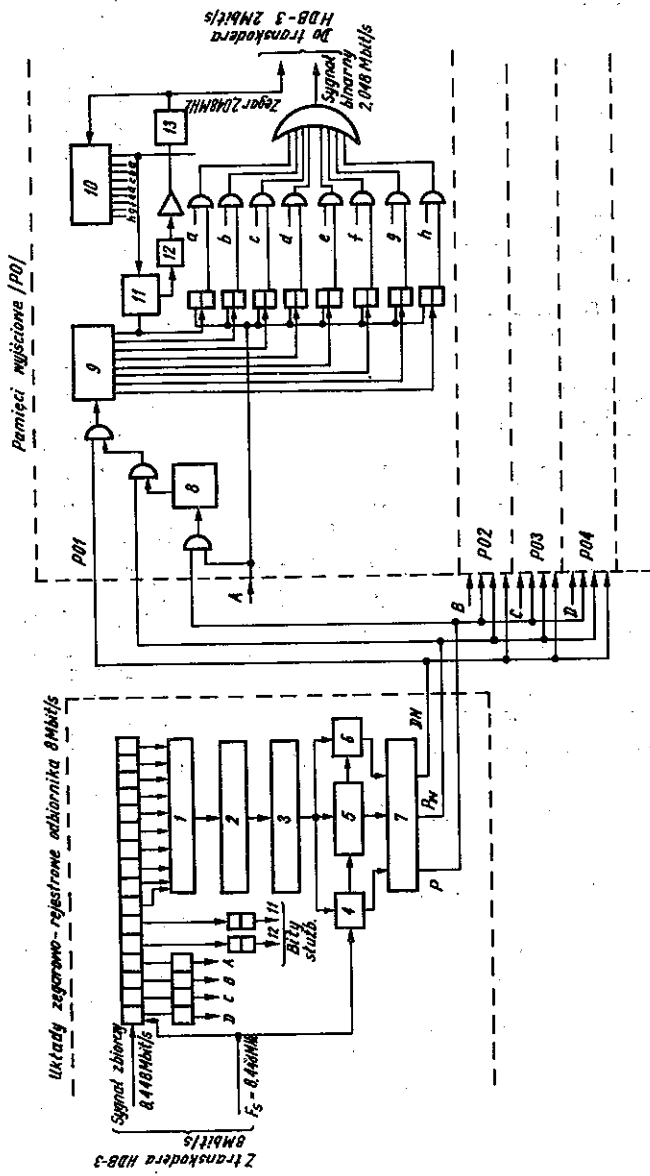


Rys. 7. Gabaryt impulsu w punkcie styku 8448 kbit/s



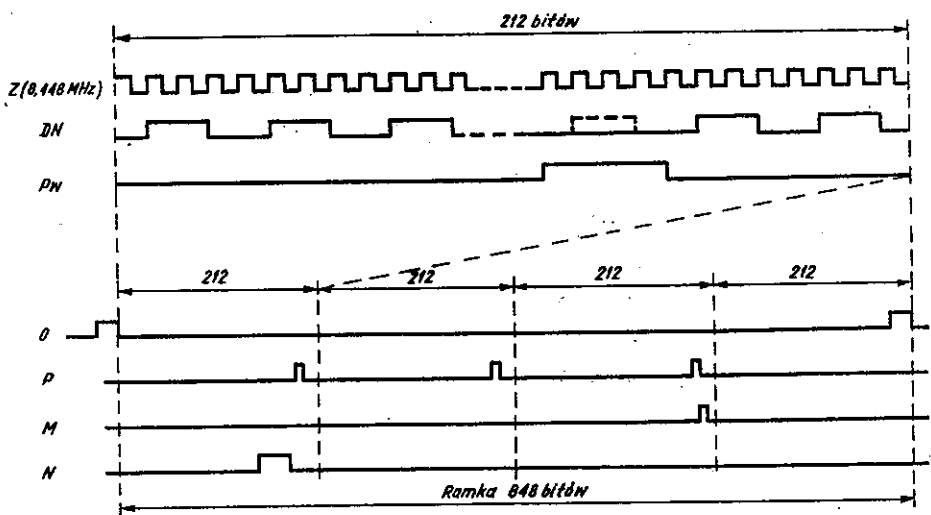
Rys. 8. Schemat funkcjonalny multiplexera

1 - dzielnik zapisu, 2 - dzielnik odczytu, 3 - układ porównania fazy, 4 - nadajnik korekcyjny, 5 - generator kwarcowy 8,448 MHz, 6 - dzielnik 1:4, 7 - dzielnik 1:53, 8 - dzielnik 1:4, 9 - układ dekodowania, 10 - układ wprowadzania wzoru fazowania ramki oraz bitów serwisowych /11 i 12/



Rys. 9. Schemat funkcjonalny demultiplexera

- 1 - dekodowanie wzoru fazowania ramki, 2 - układ fazowania ramki, 3 - dekodowanie impulsu fazującego dzielniki, 4 - dzielnik 1:4, 5 - dzielnik 1:4, 6 - dzielnik 1:4, 7 - dekodowanie przebiegów zegarowych, 8 - licznik w odbiorniku komend o dopełnianiu, 9 - dzielnik wpisujący do pamięci, 10 - dzielnik odczytu z pamięci, 11 - komparator fazy, 12 - filtr dolnoprzepustowy RC, 13 - generator przestrajany napięciem /VCO/



Rys. 10. Przebiegi zegarowe do sterowania pamięci wejściowych i wyjściowych

